

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 23/50

(11) Publication No: P1994-0169272

(24) Publication Date: 9 Oct 1998

(21) Application No.: 10-1994-0017090

(65) Laid-Open No.: P1995-004512

(22) Application Date: 15 Jul 1994

(43) Laid-Open Date: 18 Feb 1995

(30) Original Application No.: 93-176531 (JP) (16 Jul 1993)

(71) Applicant:

TOSHIBA Corp. Sato Humio

Horigawa-jung 72, Saiwai-ku, Kawasaki-shi, Kanakawa, JP

(72) Inventor:

Ando, Domoyuki

Toshiba Corp. Tamagawa Works, Gomugai Toshiba-jung 1, Saiwai-ku,
Kawasaki-shi, Kanagawa, JP

(54) Title of the Invention:

Semiconductor device

Abstract:

There is provided an internal lead for internal wiring, which is used without an attachment space of a tape with a LOC structure, and is isolated on a tape, simultaneously with an internal lead for externally extruding. An internal lead 11 is externally extruded, an end of which is fixed on an insulated tape 2 and the other end of which is extruded outside the insulated tape 2. Also, an internal lead 12 is used for internal wiring and is fixed on the insulated tape 2. The insulated tape 2 including the both internal leads is fixed on the surface of a semiconductor chip 3. The respective internal leads 11 and 12 are connected through bonding wires to the respective electrode pads 4 on the semiconductor chip 3. The insulated tape is attached to a lead frame before being processed. Then, the internal lead and the insulated tape are integrally blanked.

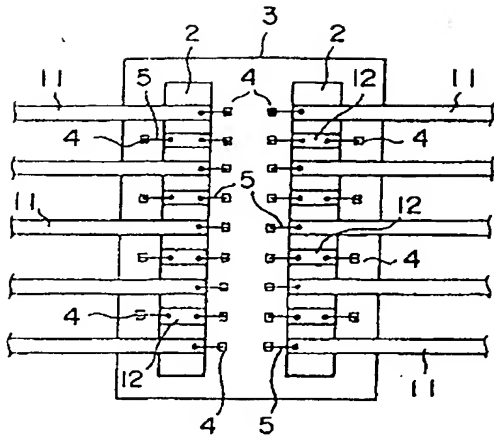
(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

| | | | |
|---------------|--|---------------|---------------|
| (51) Int. Cl. | (11) 등록번호 | 특0169272 | |
| H01L 23 /50 | (24) 등록일자 | 1998년 10월 09일 | |
| (21) 출원번호 | 특 1994-017090 | (65) 공개번호 | 특 1995-004512 |
| (22) 출원일자 | 1994년 07월 15일 | (43) 공개일자 | 1995년 02월 18일 |
| (30) 우선권주장 | 93-176531 1993년 07월 16일 일본(JP) | | |
| (73) 특허권자 | 가부시키가이샤 도시바 사토 후미오 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 | | |
| (72) 발명자 | 안도 도모유키 일본국 가나가와현 가와사키시 사이와이구 고우가이도시바정 1번지 가부시키가이샤 도시바 다мага와공장내 | | |
| (74) 대리인 | 김윤배, 이범일 | | |
| (54) 반도체장치 | | | |

본 발명은, LOC구조 테입 부착여유를 필요로 하지 않고, 더욱이 외부도출용 내부리드와 동시에 테입상에 고립하는 내부배선용 내부리드를 형성한다.

본 발명은, 내부리드(11)는 외부도출용이고, 절연성 테이프(2)에서 단부가 고착되면서 타단부가 절연성 테이프의 외측에 노출되어 있다. 또한, 내부리드(12)는 내부배선용이고, 절연성 테이프(2)상에 각각 고립되어 고착되어 있다. 이들 양 내부리드가 일체로 된 절연테이프(2)는 반도체칩(3) 표면에 고착되고, 내부리드(11, 12) 각각과 반도체칩(3)상의 각 전극패드(4)가 본딩와이어에 의해 접속되어 있다. 본 발명에서는 가공완료 이전의 리드프레임에 절연테이프를 붙이고, 그 후 내부리드와 절연테이프를 일체적으로 타발가공한다.



[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시에 따른 LOC구조 반도체장치의 주요부의 구성을 나타낸 평면도.

제2도는 본 발명에 따른 LOC구조 반도체장치의 기본적인 제조방법을 공정순으로 나타낸 평면도 및 측면도.

제3도는 제1도에 도시한 구성의 타발(打拔)가공 이전의 구성을 나타낸 평면도.

제4도는 본 발명에 따른 주요부의 제1응용예를 나타낸 평면도.

제5도는 본 발명에 따른 주요부의 제2응용예를 나타낸 평면도.

제6도는 본 발명을 적용한 TSOP의 구성을 나타낸 평면도.

제7도는 본 발명을 적용한 메모리 모듈의 구성을 나타낸 평면도.

제8도는 종래의 LOC구조 반도체장치의 제조방법을 공정순으로 나타낸 평면도 및 측면도이다.

* 도면의 주요부분에 대한 부호의 설명

2 : 주입대이브

3 : 반도체칩

4 : 층간매트

5 : 본딩와이어

11 : 외부배선(외부포접층)

12 : 내부배선(내부포접층)

13 : 외부배선(외부포접층)

14 : 외부배선(외부포접층)

본 발명은, 특히 LOC(lead on chip)구조의 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

LOC구조는 반도체칩 주표면상의 전극패드를 반도체칩의 중앙부 곁에 배치하고, 각 내부리드의 단부를 반도체칩 주표면상에 절연테이프에 의해 고착시킨다. 이것에 의해 패키지의 축소가 도모된다.

제8도는 종래의 LOC구조 반도체장치의 제조방법을 공정순으로 나타낸 평면도 및 측면도이다. 제8도(a)에 도시된 내부리드(11)는 각각 외측의 한쪽단부는 외부틀(도시하지 않았음)에 접속되어 있다. 이 내부리드(11)에 있어서, 반도체칩과의 곁면측에 제8도(b)에 나타난 것과 같이 절연테이프(2)가 붙여진다. 이 절연테이프(2)에 의해 내부리드(11)는 반도체칩(3)의 주표면에 고착되고, 그 후 제8도(c)에 나타난 바와 같이 전극패드(4)와 내부리드(11)가 본딩와이어(5)에 의해 접속된다.

상기 구성에서는 공정상, 또는 구성상의 문제점이 있다. 테이프를 붙이는 공정은 내부리드가 성형되고 나서 수행된다. 이 때문에 적어도 내부리드(11)의 한쪽단부는 모두 리드프레임의 외부틀에 연결되어 있을 필요가 있어, 내부리드 패턴의 자유도가 제한된다. 즉, 반도체칩상에 형성되어 있는 금속배선의 대응보조를 하는 배선패턴을 내부리드로 요구할 수 없다.

예컨대, 테이프상에 고립된 리드를 형성할 수 없게 된다. 테이프상에 고립된 리드를 설치하는 것은 멀티칩화에 유리한 것으로 바람직한 구성이다. 더욱이, 테이프를 붙이는 리드단부에는 부착여유(Δd)가 필요하고, 이것도 내부리드 패턴의 자유도를 감소시키고 있다.

종래의 LOC구조의 반도체장치에서는, 테이프상에 고립된 리드를 형성하는 것이 불가능하여 내부리드의 패턴에 자유도가 거의 없고, 반도체칩과 리드 사이의 배선에 있어서 응용하기 어렵다는 결점이 있다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, LOC구조를 갖는 반도체 패키지내의 내부리드의 배선에 있어서 테이프상에 배선으로 사용할 수 있는 고립된 리드를 설치할 수 있는 반도체장치를 제공함에 그 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치는, 주표면을 갖춘 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖춘 다수의 외부코넥터 리드; 상기 절연부재의 제1표면에 고정된 바와 같은 표면을 갖춘 적어도 하나의 내부코넥터 내부리드 및; 상기 절연부재의 적어도 제2표면에 반도체칩의 주표면에 고정되는 적어도 하나의 어셈블리수단을 구비하여 구성되고; 상기 적어도 하나의 내부리드의 양단이 상기 절연부재의 적어도 일측 엣지와 동일한 높이로 배열되는 것을 특징으로 한다.

또한 본 발명은, 주표면을 갖춘 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖추고, 절연부재의 돌출부가 외부코넥터 리드의 타단을 향해 연장되어 외부코넥터 리드의 바깥 표면에 존재하는 다수의 외부코넥터 리드; 각각 상기 절연부재의 일측 엣지와 동일한 높이로 배열된 적어도 일단과, 절연부재의 제1표면에 고정된 바와 같은 표면을 갖춘 다수의 내부코넥터 내부리드 및; 상기 절연부재의 적어도 제2표면에 반도체칩의 주표면에 고정되는 적어도 하나의 어셈블리수단을 구비하여 구성된 것을 특징으로 한다.

또한 본 발명은, 각각 주표면을 갖추고, 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖추고, 절연부재의 돌출부가 외부코넥터 리드의 타단을 향해 연장되어 외부코넥터 리드의 바깥 표면에 존재하는 다수의 외부코넥터 리드; 각각 상기 절연부재의 일측 엣지와 동일한 높이로 배열된 적어도 일단과, 절연부재의 제1표면에 고정된 바와 같은 표면을 갖춘 다수의 내부코넥터 내부리드 및; 상기 절연부재의 적어도 제2표면에 반도체칩의 주표면에 고정되는 적어도 하나의 어셈블리수단을 구비하여 구성된 것을 특징으로 한다.

원 양공을 갖춘 다수의 내부코넣트 내부리드 및; 상기 절연부재의 적어도 제2표면이 각 반도체층의 주표면에 고정되게 하
는 어셈블리수단을 구비하여 구성된 것을 특징으로 한다.

상기와 같이 구성된 본 발명은, 내부리드와 절연부재를 일체적으로 타발공정하는 것에 의해 부착여유를 필요로 하지 않는 내부리드가 형성된다. 더욱이, 외부코백터 리드와 동시에 테이프상에 고립되는 내부코백터 내부리드를 형성하는 것도 가능한 멀티칩에 유리한 구성이 얻어진다.

0. 하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

상기의 구성에 의하면, 칩상의 금속배선의 대응보조를 하는 배선패턴을 내부리드(12)로서 실현할 수 있다. 이에 의해, 내부리드 패턴의 자유도가 넓어진다. 또한, 테이프를 붙이는 리드단부의 부착여유가 필요없는데, 그 이유는 제조공정에 있고, 이하에 설명한다.

다음에, 제2도(c)에 나타난 바와 같이 고착될 반도체층에 일치하도록 내부리드(21)와 테이프(22)를 일체적으로 다발가공한다. 그 후, 제2도(d)에 도시한 바와 같이 내부리드(21)와 일체적인 절연테이프(22)는 반도체층(23)의 주요면에 열압착에 의해 고착되고, 전극패드(24)와 내부리드(21)가 불필요하여(25)에 의해 절속된다.

[illegible]

상기 정곡대응이라는 것은 반도체칩을 보드에 실장할 경우 본딩패드가 배치되어 있는 주표면을 위에서 이면(裏面)을 보드로 향해 일치시키도록 실장할 수 있도록 리드를 굽힌 구성이고, 역곡대응이라는 것은 반도체칩을 보드에 실장할 경우 본딩패드가 배치되어 있는 주표면이 보드로 향해 일치되도록 실장할 수 있도록 리드를 굽힌 구성이다. 용량의 증가등으로 보드의 표면과 이면에 같은 편배치로 실장하는 경우 편리하고, 제6도의 내부리드 패턴이면 정곡, 역곡의 실장에 따라 본딩패턴이 변화된다.

상기 구성에 의하면, 테이프상에 고립되는 내부배선용 내부리드(12)의 패턴을 이용해서 멀티칩내의 여러가지의 배선구조가 가능하게 되고, 이로써 패키지의 축소화에 기여한다.

이상 설명한 바와 같이 본 발명에 의하면, LOC구조 반도체 패키지내의 내부리드의 바선에 있어서 테이프상에 내부배선으로서 사용할 수 있는 고립된 리드를 배치할 수 있다. 이에 의해, 내부리드의 패턴 자유도가 증가하고, 멀티칩 구조에 유리한 구조가 얻어진다.

장구형 4. 주표면을 갖춘 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와, 각각 절연, 반사의 일측 면지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 단을 형성 및, 절연부재의 돌출부가 외부코넥터 리드의 티단을 향해 연장되어 외부코넥터 리드의 반부 표면과 접촉하는 다수의 외부코넥터 리드; 각각 상기 절연부재의 일측 면지와 동일한 높이로 배열된 적어도 일단의, 상기 단부에 고정된 다수의 표면과 갖춘 다수의 내부코넥터 내부리드 및; 상기 절연부재의 적어도 제2표면이 적어도 하나의 주표면에 의해 형성된 다수의 돌출부를 수반하여 구성된 것을 특징으로 하는 반도체장치.

청구항 6. 제4항에 있어서, 반도체칩의 주표면 상에 배열되고, 절연부재에 인접하는 다수의 본딩패드를 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 7. 제6항에 있어서, 외부 및 내부코넥터 리드를 상기 본딩패드에 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 8. 제4항에 있어서, 상기 외부 및 내부코넥터 리드가 절연부재상에 교대로 배열된 것을 특징으로 하는 반도체장치.

청구항 9. 각각 주표면을 갖추고, 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖춘 다수의 외부코넥터 리드; 각각 절연부재의 일측 엣지와 동일한 높이로 배열된 일단과, 절연부재의 제1표면에 고정된 바닥 표면을 갖추고, 내부코넥터 내부리드의 적어도 하나가 절연부재의 일측과 동일한 높이로 배열된 양단을 갖춘 다수의 내부코넥터 내부리드 및; 상기 절연부재의 적어도 제2표면이 각 반도체칩의 주표면에 고정되게 하는 어셈블리수단을 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 10. 제9항에 있어서, 각각의 반도체칩에 적어도 하나의 외부 및 내부코넥터 리드를 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 11. 제9항에 있어서, 각각의 반도체칩의 주표면 상에 배열되고, 절연부재에 인접하는 다수의 본딩패드를 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 12. 제11항에 있어서, 외부 및 내부코넥터 리드를 상기 본딩패드에 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 13. 주표면을 갖춘 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖춘 다수의 외부코넥터 리드 및; 상기 절연부재의 적어도 제2표면이 반도체칩의 주표면에 고정되게 하는 어셈블리수단을 구비하여 구성되고; 절연부재가 외부코넥터 리드의 상기 타단을 향해 연장되어 상기 외부코넥터 리드의 바닥 표면에 존재하는 돌출부를 더 포함하는 것을 특징으로 하는 반도체장치.

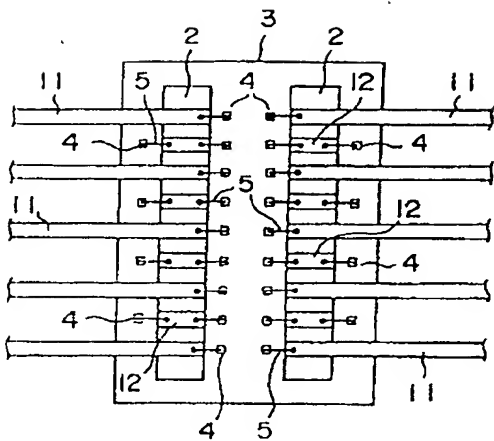
청구항 14. 제13항에 있어서, 상기 절연부재가 점착형 테이프인 것을 특징으로 하는 반도체장치.

청구항 15. 제13항에 있어서, 상기 절연부재가 열압착형 테이프인 것을 특징으로 하는 반도체장치.

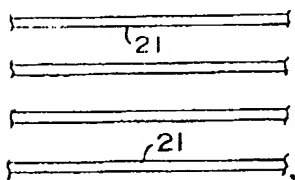
청구항 16. 제13항에 있어서, 상기 절연부재의 제1표면에 고정된 표면을 갖춘 내부코넥터 내부리드를 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 17. 제16항에 있어서, 상기 각 내부리드가 상기 절연부재의 일측 엣지와 동일한 높이로 배열된 적어도 한 쌍을 갖춘 것을 특징으로 하는 반도체장치.

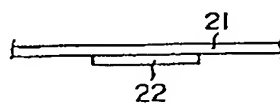
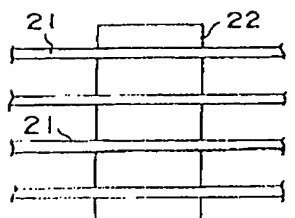
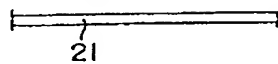
청구항 18. 제16항에 있어서, 상기 각 내부리드가 상기 절연부재의 적어도 일측 엣지와 동일한 높이로 배열된 적어도 한 쌍을 갖춘 것을 특징으로 하는 반도체장치.

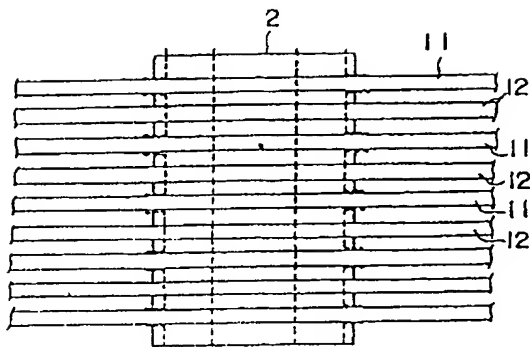
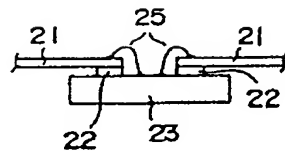
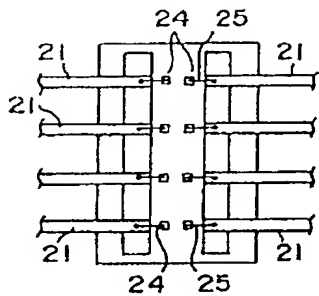
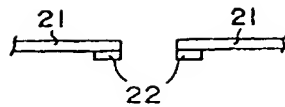
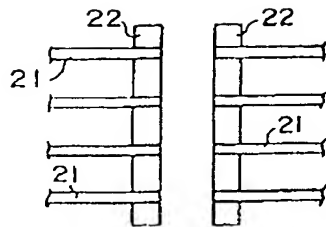


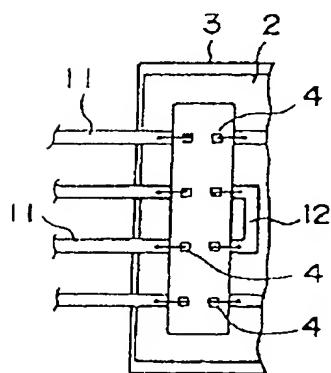
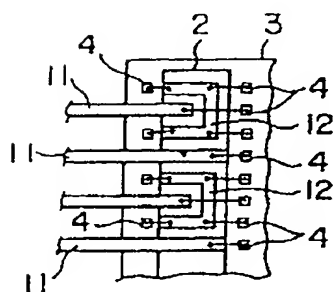
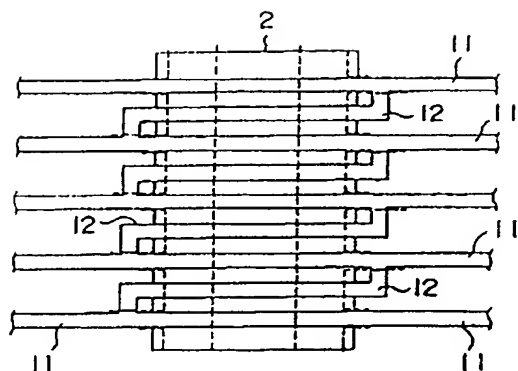
(평면도)

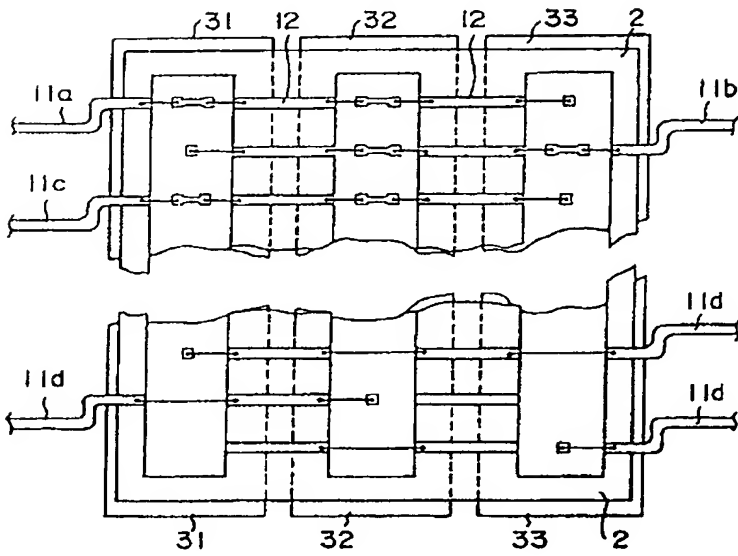
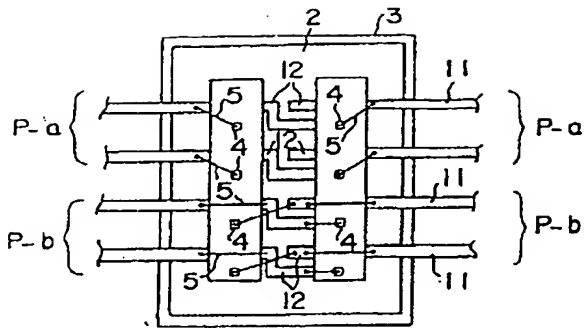


(측면도)

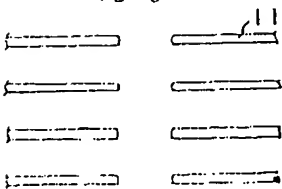








(정면도)



(측면도)



